

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-175447
(43)Date of publication of application : 23.06.2000

(51)Int.Cl. H02M 3/28

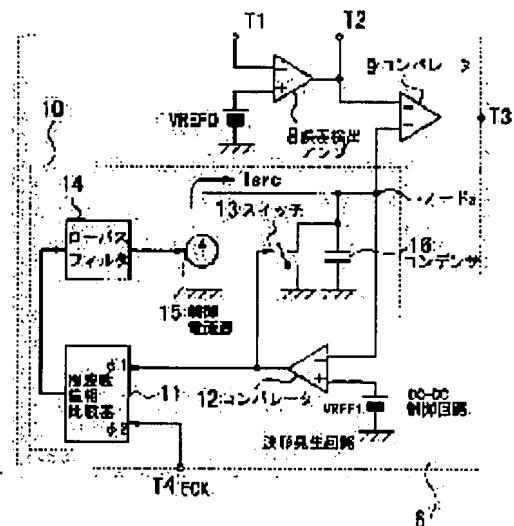
(21)Application number : 10-346732 (71)Applicant : HITACHI LTD
(22)Date of filing : 07.12.1998 (72)Inventor : ABE YOSHITAKA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To inexpensively manufacture a pulse width modulation(PWM) waveform used for a DC/DC converter with a stable frequency, without being affected by manufacture fluctuation and the like.

SOLUTION: A frequency phase comparator 11 compares the frequency/phase of the output signal of a comparator 12 and an outer clock ECK. The signals of the leading/delay phases are outputted to a control current source 15 through a low-pass filter 14. The control current source 15 reduces a charging current I_{src} , when the signal outputted from the low-pass filter 14 has a leading phase and increases charging current I_{src} , when it has a lapping phase. A triangular wave for generating a PWM waveform synchronized with the outer clock ECK is generated with the constitution of a negative feedback loop which starts from the control current source 15, through the comparator 12, the frequency phase comparator 11, the low-pass filter 14 and back again to the control current source 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51)Int.Cl.⁷
H 02 M 3/28

識別記号

F I
H 02 M 3/28テマコト(参考)
P 5 H 7 3 0

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号 特願平10-346732
(22)出願日 平成10年12月7日(1998.12.7)(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72)発明者 阿部 義孝
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内
(74)代理人 100080001
弁理士 筒井 大和
Fターム(参考) 5H730 AA15 BB43 BB57 DD04 EE02
EE07 FD01 FF03 FF10 FG05
FG15

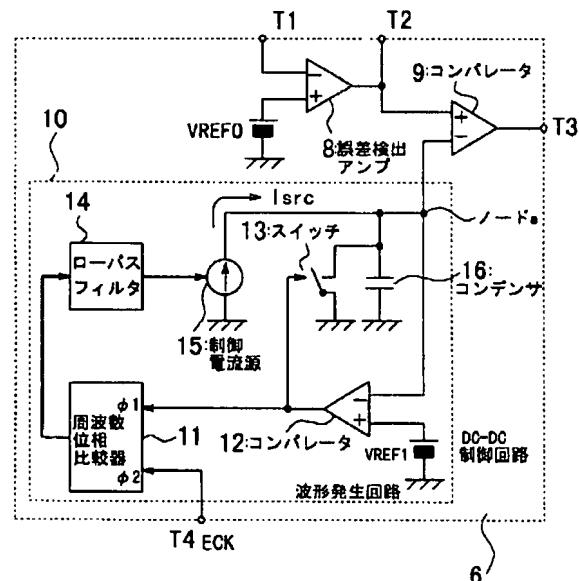
(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 DC-DCコンバータに用いられるPWM波形を製造ばらつきなどの影響を受けることなく、低コストで、かつ安定した周波数で生成する。

【解決手段】 コンパレータ12の出力信号と外部クロックECKとを周波数位相比較器11が周波数位相比較し、それらの進み、遅れ位相の信号をローパスフィルタ14を介して制御電流源15に出力する。制御電流源15は、ローパスフィルタ14から出力された信号が進み位相の場合には充電電流 I_{src} を減少させ、遅れ位相の場合には充電電流 I_{src} を増加させる。これら制御電流源15、コンパレータ12、周波数位相比較器11、ローパスフィルタ14から再び制御電流源15となる負帰還ループの構成により、外部クロックECKに同期したPWM波形を生成するための三角波形を発生する。

図2



【特許請求の範囲】

【請求項1】 PWM生成用波形に基づいてPWM波形を生成するPWM制御回路が設けられた半導体集積回路装置であって、

波形制御信号に基づいて静電容量素子の充放電の制御を行い、PWM生成用波形を発生する波形制御部と、前記波形制御部から出力されるPWM生成用波形と基準クロック信号との位相比較または周波数位相比較を行う位相比較部と、

前記位相比較部から出力された比較結果に基づいて前記静電容量素子に充電を行う第1の定電流源と、前記静電容量素子に充電される電圧と基準電圧とを比較し、その出力信号を波形制御信号として前記波形制御部に出力する電圧比較部とよりなる波形発生手段を備えたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記電圧比較部から出力される波形制御信号を整数分の1に分周し、前記位相比較部に出力する第1の分周器と、基準クロック信号を整数分の1に分周し、前記位相比較部に出力する第2の分周器と設けたことを特徴とする半導体集積回路装置。

【請求項3】 請求項2記載の半導体集積回路装置において、前記電圧比較部から出力される波形制御信号に基づいて、前記電圧比較部に入力される基準電圧を異なる電圧に切り換える電圧切り換え部を設け、前記波形制御部が、前記位相比較部から出力された比較結果に基づいて充電された前記静電容量素子の放電を行う第2の定電流源と、前記電圧比較部の波形制御信号に基づいて前記第2の定電流源と前記静電容量素子との接続制御を行う接続制御部とよりなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、PWM (Pulse Width Modulation) 方式のDC-DC (Direct Current to Direct Current) コンバータの制御技術に関し、特に、PWM波形の安定化に適用して有効な技術に関するものである。

【0002】

【従来の技術】 本発明者が検討したところによれば、通常の半導体集積回路装置などには、安定化直流電源などとして装置小型化のためにPWM方式のDC-DCコンバータが用いられてきている。このPWM方式DC-DCコンバータには、PWM波形を生成するための波形発生回路が設けられている。

【0003】 波形発生回路は、コンデンサに定電流で充電することにより、三角波の傾きを制御して発振周波数

を決定しており、半導体素子からなる制御回路、コンデンサ、ならびに電流制限用の抵抗などから構成されている。

【0004】 また、DC-DCコンバータからA/D (Analog to Digital) 変換器などに電源を供給する場合、該A/D変換器のS/N (Signal to Noise) 比や雑音特性などの厳しい要求からDC-DCコンバータの発振周波数とA/D変換器のサンプリング周波数の比を任意の値に積極的に合わせたりすることによって、DC-DCコンバータのスイッチングノイズが該A/D変換器などに入り込むのを防止している。

【0005】 なお、この種の安定化電源について詳しく述べてある例としては、平成7年5月15日、社団法人電気学会発行、電気工学ハンドブック改版委員会(編)、「新版 電気工学ハンドブック」P451, P452があり、この文献には、各種のDC-DCコンバータにおける構成などが記載されている。

【0006】

20 【発明が解決しようとする課題】 ところが、上記のような半導体集積回路装置に設けられたDC-DCコンバータでは、次のような問題点があることが本発明者により見い出された。

【0007】 今、PWM制御によるDC-DCコンバータから、所定のサンプリング周波数で動作するA/D変換器への電源供給が行われている場合を仮定する。このような場合、PWM制御のDC-DCコンバータが、ある周期によってスイッチング動作を行い、発生したスイッチングノイズが、あるサンプリング周期にてサンプリングを行なうA/D変換器のサンプリング周期に同期して電源ノイズが重畠すると、A/D変換器は、電源ノイズの影響を受けてA/D変換結果にオフセットなどの誤差の増大を発生させる恐れがある。たとえば、サンプリング周波数が、DC-DCコンバータのスイッチング周波数の倍数に合致すると前記のような問題が発生する。

【0008】 よって、DC-DCコンバータのスイッチング周波数の倍数で発生するスイッチングノイズが、サンプリング周波数に重ならないようする配慮などが必要となる。

40 【0009】 このため、一般にサンプリング周波数は、通信装置などの装置としてシステム的に決定されるので容易に変更ができず、DC-DCコンバータのスイッチング周波数が調整されることとなる。

【0010】 ここで、PWM方式のDC-DCコンバータのスイッチング周波数は、DC-DC制御回路の波形発生回路における発振周波数で決定される。したがって、波形発生回路における発振周波数を決定するコンデンサ、抵抗を半導体素子により構成した場合、製造プロセスのばらつきによる絶対値のばらつきが大きくなってしまい、発振周波数のばらつきが大きくなってしまう恐

れがある。

【0011】これを防止するために、一般的には、DC-DCコンバータの制御回路において発振周波数を決定するコンデンサや抵抗は、外付け部品で実装し、部品の抵抗値や容量値を調整するか、抵抗値をトリミングなどの処置が行われている。

【0012】また、調整無しでコンデンサ、抵抗を高精度の外づけ電子部品によって構成する場合には、これら電子部品を半導体集積回路装置の外部に実装することになり、実装面積の増大やコストアップなどが問題となる。

【0013】上記では、オフセットなどのA/D変換誤差を避ける方法としてサンプリング周波数がスイッチング周波数の倍数に重ならないようにする説明を行なったが、DC的なオフセットが無視可能な通信装置（たとえば、AC信号しか扱わないなど）の用途によっては、逆に積極的にサンプリング周波数をスイッチング周波数の倍数に合わせるか、または、スイッチング周波数をサンプリング周波数の倍数に合わせるなども行われることもある。

【0014】本発明の目的は、DC-DCコンバータに用いられるPWM波形を製造ばらつきなどの影響を受けることなく、低コストで、かつ安定した周波数で生成することのできる半導体集積回路装置を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0017】すなわち、本発明の半導体集積回路装置は、波形制御信号に基づいて静電容量素子の充放電の制御を行い、PWM生成用波形を発生する波形制御部と、該波形制御部から出力されるPWM生成用波形と基準クロック信号との位相比較または周波数位相比較を行う位相比較部と、該位相比較部から出力された比較結果に基づいて静電容量素子に充電を行う第1の定電流源と、静電容量素子に充電される電圧と基準電圧とを比較し、その出力信号を波形制御信号として波形制御部に出力する電圧比較部とよりなるPWM制御用のDC-DC制御回路を備えたものである。

【0018】それにより、静電容量素子に製造ばらつきなどが生じても傾きが一定で安定した周波数のPWM生成用波形を生成することができる。

【0019】また、本発明の半導体集積回路装置は、前記DC-DC制御回路に、電圧比較部から出力される波形制御信号を整数分の1に分周し、前記位相比較部に出力する第1の分周器と、基準クロック信号を整数分の1

に分周し、位相比較部に出力する第2の分周器と設けたものである。

【0020】それにより、第1、第2の分周器における分周を任意の組合せにおいて選択することによってPWM波形の周波数と、負荷として接続される電子回路に用いられるクロック信号の周波数とを任意に選択することができる、該電子回路に伝達されるスイッチングノイズなどの影響を大幅に低減することができる。

【0021】さらに、本発明の半導体集積回路装置は、10 電圧比較部から出力される波形制御信号に基づいて電圧比較部に入力される基準電圧を異なる電圧に切り換える電圧切り換え部を設け、前記波形制御部が、位相比較部から出力された比較結果に基づいて充電された静電容量素子の放電を行う第2の定電流源と、電圧比較部の波形制御信号に基づいて第2の定電流源と静電容量素子との接続制御を行う接続制御部とよりなるものである。

【0022】それによても、静電容量素子に製造ばらつきなどが生じても傾きが一定で安定した周波数のPWM生成用波形を生成することができる。

20 【0023】以上のことにより、静電容量素子を半導体素子によって構成できるので、半導体集積回路装置のコストを大幅に小さくでき、DC-DCコンバータにおける実装面積も小面積化することができる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0025】（実施の形態1）図1は、本発明の実施の形態1による半導体集積回路装置に設けられたDC-DCコンバータの説明図、図2は、本発明の実施の形態130 によるDC-DCコンバータに設けられたDC-DC制御回路の回路説明図、図3は、本発明の実施の形態1によるDC-DC制御回路におけるタイミングチャートである。

【0026】本実施の形態1において、通信用の半導体集積回路装置には、図1に示すように、PWM方式のDC-DCコンバータ1が設けられている。DC-DCコンバータ1は、トランジスタ2、整流ダイオードD1、コンデンサ3、4、リアクトル5、DC-DC制御回路（PWM制御回路）6、ならびにスイッチングトランジスタ40 7から構成されている。

【0027】トランジスタ2の一次側には、スイッチングトランジスタ7を介して直流電源が供給されており、DC-DC制御回路6から出力されるPWM波形に基づいてスイッチングトランジスタ7がON/OFFし、トランジスタ2の一次側に直流の電源電圧が印加される。

【0028】トランジスタ2の二次側には、電源安定化用のコンデンサ3、4が並列接続されており、トランジスタ2の二次側の一方に直列接続されたリアクトル5を通して負荷に電力供給される。また、リアクトル5を通して負荷50 へ印加される電圧は、DC-DC制御回路6に定電圧制

御のためのフィードバック信号として入力される。

【0029】DC-D C制御回路6には、図2に示すように、誤差検出アンプ8、コンパレータ9、および波形発生回路(波形発生手段)10から構成されている。波形発生回路10は、PWM波形を生成するための三角波形(PWM生成用波形)を発生する。

【0030】誤差検出アンプ8の一方の入力部には基準電圧 V_{REF0} が入力されており、他方の入力部には端子T1が接続されている。誤差検出アンプ8の出力部には端子T2、コンパレータ9の一方の入力部が接続されている。また、端子T1と端子T2との間には、フィードバック用抵抗、静電容量からなるフィードバック用素子 Z_f (図1)が接続される。誤差検出アンプ8は、端子T1から入力される信号と基準電圧 V_{REF0} とを比較し、誤差信号として出力する。

【0031】コンパレータ9の他方の入力部には、波形発生回路10によって生成された三角波が入力されるように接続されており、このコンパレータ9の出力部は、端子T3と接続されている。コンパレータ9は、前述した誤差信号と波形発生回路10から出力される三角波とを比較し、PWM波形を出力する。

【0032】また、波形発生回路10には周波数位相比較器(位相比較部)11が設けられている。この周波数位相比較器11の一方の入力部には、コンパレータ(電圧比較部)12の出力部およびスイッチ(波形制御部)13の制御を行う制御信号入力部が接続されており、他方の入力部には、DC-D Cコンバータ1におけるスイッチング周波数となる外部クロック(基準クロック信号)ECKが端子T4を介して入力されている。

【0033】周波数位相比較器11の出力部は、ローパスフィルタ14に接続されており、この周波数位相比較器11は、入力された信号の周波数、位相を比較する。ローパスフィルタ14は、入力された信号の低周波成分を除去する低域周波数フィルタである。

【0034】ローパスフィルタ14の出力部には、制御電流源(第1の定電流源)15が接続されており、該ローパスフィルタ14から出力される制御信号に基づいてコンデンサ(静電容量素子)16への充電電流の制御を行う。

【0035】制御電流源15には、コンパレータ9の他方の入力部、スイッチ13の一方の接続部、コンパレータ12の他方の入力部、およびコンデンサ16の一方の接続部が接続されており、コンパレータ9の他方の入力部のノードaに一定の傾き dV/dt (I_{src}/CT)の信号を発生させる。

【0036】スイッチ13、コンデンサ16の他方の接続部は、それぞれ基準電圧と接続されている。コンパレータ12の一方の入力部には、基準電圧 V_{REF1} が供給されている。

【0037】次に、本実施の形態におけるDC-D Cコ

ンバータ1の波形発生回路10の作用について図3に示すタイミングチャートを用いて説明する。

【0038】図3においては、上方から下方にかけて波形発生回路10から出力される三角波(ノードa)、コンパレータ12の出力、外部クロックECK、周波数位相比較器11の出力、ローパスフィルタ14の出力、ならびに制御電流源15から出力される充電電流 I_{src} の信号タイミングをそれぞれ示している。

【0039】制御電流源15の充電電流 I_{src} によって10コンデンサ16を充電すると、ノードaは、傾き $dV/dt = I_{src}/CT$ の関係により上昇していく。コンパレータ12の出力電圧(波形制御信号)は、基準電圧 V_{REF1} とノードaとの電圧を比較し、ノードaの電圧が基準電圧 V_{REF1} よりも大きくなった場合に反転し、周波数位相比較器11の一方の入力部に出力する。

【0040】スイッチ13は、コンパレータ12の出力が反転するとONとなり、コンデンサ16に充電された電荷が放電され、ノードaの電圧が低下する。ノードaの電圧が低下すると、コンパレータ12の出力は再び反転し、スイッチ13がOFFとなる。よって、制御電流源15によるコンデンサ16への充電電流 I_{src} により、再びノードaは、傾き dV/dt によって上昇を行い、三角波の発振を繰り返す。

【0041】一方、コンパレータ12から出力された信号は、周波数位相比較器11によって外部クロックECKと周波数位相比較され、その比較結果をローパスフィルタ14に出力する。

【0042】その比較の一例として、時刻 t_1 において、コンパレータ12の出力が外部クロックECKよりも立ち上がり時刻が進んだ場合には進み位相として信号を出力し、時刻 t_2 のようにコンパレータ12の出力が、外部クロックECKよりも立ち下がり時刻が進んだ場合には、遅れ位相として信号を出力する。

【0043】ローパスフィルタ14は、周波数位相比較器11から出力された信号から低周波数成分を取り除き、制御電流源15に出力する。制御電流源15は、ローパスフィルタ14から出力された信号が進み位相の場合には充電電流 I_{src} を減少させ、遅れ位相の場合には充電電流 I_{src} を増加させる。

【0044】そして、制御電流源15、コンパレータ12、周波数位相比較器11、ローパスフィルタ14から再び制御電流源15となる負帰還ループが構成されることになり、制御クロック、すなわち、外部クロックECKに同期したPLL(Phase Locked Loop)動作が波形発生回路10によって行われることになる。

【0045】この結果、ノードaにおける三角波は、コンデンサ16が製造ばらつきなどによってばらついても、常に三角波の最大電圧は基準電圧 V_{REF1} となり、波形発生回路10によって生成される三角波の発振周波数

は、外部クロックECKに同期した信号となる。

【0046】それにより、本実施の形態によれば、PL
L動作を行う波形発生回路10によって、コンデンサ1
6が製造ばらつきなどによってばらついていても波形傾
き $d v/d t$ が一定で、かつ周波数も一定の三角波を生
成できるので、PWM波形を安定生成することができ、
DC-DCコンバータ1の供給電圧を大幅に安定化する
ことができる。

【0047】また、本実施の形態1では、コンパレータ
12の出力信号と外部クロックECKとの比較において
周波数位相比較器11は、周波数と位相とを比較する場
合について説明したが、位相比較だけを行うようにして
もよい。

【0048】さらに、コンパレータ12の一方、他方の
入力部、すなわち、正転入力と反転入力を入れ替え、
スイッチ13のON/OFF制御を逆にしても同様の効
果を得ることができる。

【0049】(実施の形態2)図4は、本発明の実施の
形態2によるDC-DCコンバータに設けられるDC-
DC制御回路の回路説明図である。

【0050】本実施の形態2においても、前記実施の形
態1と同様に、トランジスタ2、整流ダイオードDi、コン
デンサ3、4、リアクトル5、DC-DC制御回路6
a、ならびにスイッチングトランジスタ7などが半導体
集積回路装置の外部に設けられてPWM方式のDC-
DCコンバータ1(図1)が構成される。

【0051】また、DC-DC制御回路6aは、図4に
示すように、前記実施の形態1と同様に、誤差検出アン
プ8、コンパレータ9、および波形発生回路(波形発生
手段)10aから構成されている。

【0052】さらに、波形発生回路10aは、周波数位
相比較器11、コンパレータ12、スイッチ13、ロー
パスフィルタ14、制御電流源15、コンデンサ16、
ならびに分周器17、18により構成されている。

【0053】周波数位相比較器11の一方の入力部に
は、分周器(第1の分周器)17の出力部が接続されて
おり、この分周器17の入力部には、コンパレータ12
の出力部およびスイッチ13の制御を行う制御信号入力
部が接続されている。

【0054】周波数位相比較器11の他方の入力部に
は、分周器(第2の分周器)18の出力部が接続されて
いる。分周器18の入力部には、外部クロックECKが
端子T4を介して入力されている。

【0055】周波数位相比較器11の出力部は、ロー
パスフィルタ14に接続されており、その出力部には制御
電流源15が接続されている。制御電流源15には、
コンパレータ9の他方の入力部、スイッチ13の一方の接
続部、コンパレータ12の他方の入力部、およびコンデ
ンサ16の一方の接続部が接続されている。

【0056】スイッチ13、コンデンサ16の他方の接

続部は、それぞれ基準電位と接続されている。コンパレ
ータ12の一方の入力部には、基準電圧 V_{REF1} が供給さ
れている。

【0057】次に、波形発生回路10aの回路動作を説
明する。

【0058】波形発生回路10aにより生成される三角
波の周波数を周波数 f_{osc} 、外部クロックECKの周
波数を周波数 f_{ext} とすると、周波数位相比較器11
では、周波数 f_{osc} をm分周した信号と、周波数 $f_{e
xt}$ をn分周した信号が入力されており、これらの信号
が周波数位相比較され、波形発生回路10aでは式1の
条件が成立つようにPL動作が行われる。

【0059】

$$f_{osc}/m = f_{ext}/n \quad (式1)$$

また、式1より三角波の周波数 f_{osc} は、
 $f_{osc} = (m/n) f_{ext} \quad (式2)$

となる。

【0060】よって、分周mと分周nとを最適に選べ
ば、三角波の周波数でもあるDC-DCコンバータ1の
スイッチング周波数、およびその高調波の周波数と、外
部クロックECKの周波数が重ならないようにするこ
とができる。

【0061】ここで、外部クロックECKの周波数 $f_{e
xt}$ をA/D変換器で使用されるサンプリング周波数 f_s
($f_s = f_{ext}$)する。たとえば、図1に示すDC-
DCコンバータ1の構成において図10に示すような
周波数スペクトラムの関係にする場合、図4における分
周期17、18の分周比m、nをそれぞれ、分周m=5、分周n=2とし、A/D変換器AD、ならびに該A
/D変換器ADに変換されたデジタル信号の信号処理を
行う信号処理回路SSに供給される発振器OSCによ
つて発信されたクロック信号、すなわち、サンプリング周
波数 f_s を外部クロックとして用いることにより、サン
プリング周波数 f_s をDC-DCコンバータ1のスイッ
チング周波数 f_{osc} ならびに高調波周波数(2 f_{osc} 、
3 f_{osc} ...)と重ならないようにすることができる。

【0062】上記は、分周期17、18の分周比をm=5、n=2と設定した場合であるが、本実施の形態2に
おいては、分周器17、18により任意の分周組合せで
三角波の周波数を選択できるので、スイッチングノイズ
の周波数とサンプリング周波数の関係を容易に可変する
ことができる。

【0063】(実施の形態3)図5は、本発明の実施の
形態3によるDC-DCコンバータに設けられたDC-
DC制御回路の回路説明図、図6は、本発明の実施の形
態3によるDC-DC制御回路におけるタイミングチャ
ートである。

【0064】本実施の形態3においても、前記実施の形
態1と同様に、トランジスタ2、整流ダイオードDi、コン

デンサ3、4、リアクトル5、DC-DC制御回路6、ならびにスイッチングトランジスタ7などが半導体集積回路装置の外部に設けられてPWM方式のDC-DCコンバータ1(図1)が構成される。

【0065】また、DC-DC制御回路6bは、図5に示すように、前記実施の形態1、2と同様に、誤差検出アンプ8、コンパレータ9、および波形発生回路(波形発生手段)10bから構成されている。

【0066】周波数位相比較器11の一方の入力部には、分周器17の出力部が接続されており、この分周器17の入力部には、コンパレータ12の出力部、スイッチ20、21の制御を行う制御信号入力部がそれぞれ接続されている。

【0067】周波数位相比較器11の他方の入力部には、分周器18の出力部が接続されている。分周器18の入力部には、外部クロックECKが端子T4を介して入力されている。

【0068】周波数位相比較器11の出力部は、ローパスフィルタ14に接続されており、このローパスフィルタ14の出力部には制御電流源15、19がそれぞれ接続されている。制御電流源(第2の定電流源)19は、スイッチ(接続制御部)20のON/OFFによりコンデンサ16の電荷を基準電位に放電する。

【0069】制御電流源15には、コンパレータ9の他方の入力部、スイッチ20の一方の接続部、コンパレータ12の他方の入力部、およびコンデンサ16の一方の接続部が接続されている。

【0070】制御電流源19には、スイッチ20の他方の接続部が接続されている。コンパレータ12の一方の入力部には、スイッチ(電圧切り換え部)21の共通接続部が接続されており、スイッチ21の一方の接続部には基準電圧V_{REF1}、他方の接続部には基準電圧V_{REF2}がそれぞれ供給されている。

【0071】また、コンパレータ12の基準電圧は、スイッチ21により基準電圧V_{REF1}、V_{REF2}のいずれかに切り換えられて入力され、基準電圧V_{REF1} > 基準電圧V_{REF2}の関係となっている。

【0072】この場合の波形発生回路10bにおける動作を図6に示すタイミングチャートを用いて説明する。

【0073】図6においては、上方から下方にかけて、波形発生回路10bから出力される三角波(ノードa)、コンパレータ12の出力、外部クロックECK、周波数位相比較器11の出力、ローパスフィルタ14の出力、ならびに制御電流源15から出力される充電電流I_{src}の信号タイミングをそれぞれ示している。

【0074】まず、スイッチ20がOFFであると、制御電流源15による充電電流I_{src}によってコンデンサ16が充電され、ノードaは、傾きd_v/d_tで上昇する。ノードaの電圧が、基準電圧V_{REF1}の電圧を超えるとコンパレータ12の出力が反転し、スイッチ21が基

準電圧V_{REF2}を供給するように切り替わる。

【0075】同時に、スイッチ20がONし、電流放電用の制御電流源19がノードaと接続される。ここで、制御電流源19の放電電流I_{sink}と制御電流源15の充電電流I_{src}との関係を、充電電流I_{src} < 放電電流I_{sink}とすると、ノードaの電圧は、傾きd_v/d_t = (I_{sink} - I_{src}) / C_Tにより低下する。

【0076】ノードaの電圧が、基準電圧V_{REF2}より下がると、コンパレータ12の出力は元に戻り、スイッチ20はOFFし、制御電流源19が切り放される。同時に、コンパレータ12の基準電圧は、スイッチ21が切り替わったことになり基準電圧V_{REF2}から基準電圧V_{REF1}になる。この結果、再度制御電流源15の充電電流I_{src}によってコンデンサ16が充電されることになり、発振が繰り返される。

【0077】この場合においても、同様にコンデンサ16の製造ばらつきなどの原因によって発振周波数が変動しようとしても、PLL動作によって周波数が一定に保たれるように動作することになる。

【0078】それにより、本実施の形態3では、制御電流源15、19の充電電流I_{src}および放電電流I_{sink}により、立ち上がりの傾き、立ち下がりの傾きを制御できるので、コンパレータ12の出力におけるデュティ比を充電電流I_{src}と放電電流I_{sink}との比によって一定に制御することができる。

【0079】なお、上記において示したDC-DCコンバータ1の構成としては、フォワードタイプによって説明を行なったが、本発明におけるPWM発生回路としては、これに限定するものでは無く、フライバックタイプのDC-DCコンバータなどにも適用出来る可能である。

【0080】以上、発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0081】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、40以下のとおりである。

【0082】(1) 本発明によれば、静電容量素子に充放電する定電流源を負帰還ループによって制御するので、静電容量素子に製造ばらつきなどが生じても傾きが一定で安定した周波数のPWM生成用波形を生成することができる。

【0083】(2) また、本発明では、第1、第2の分周器における分周を任意の組合せにおいて選択できるので、PWM波形の周波数と負荷として接続される電子回路に用いられるクロック信号の周波数とを任意に選択することができ、該電子回路に伝達されるスイッチングノ

イズなどの影響を大幅に低減することができる。

【0084】(3) さらに、本発明においては、上記(1)、(2)により、PWM波形の精度を向上させながら半導体集積回路装置のコストを大幅に小さくでき、DC-DCコンバータにおける実装面積を小面積化することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1～3による半導体集積回路装置に設けられた一構成例のDC-DCコンバータの説明図である。

【図2】本発明の実施の形態1によるDC-DCコンバータに設けられたDC-DC制御回路の回路説明図である。

【図3】本発明の実施の形態1によるDC-DC制御回路におけるタイミングチャートである。

【図4】本発明の実施の形態2によるDC-DCコンバータに設けられたDC-DC制御回路の回路説明図である。

【図5】本発明の実施の形態3によるDC-DCコンバータに設けられたDC-DC制御回路の回路説明図である。

【図6】本発明の実施の形態3によるDC-DC制御回路におけるタイミングチャートである。

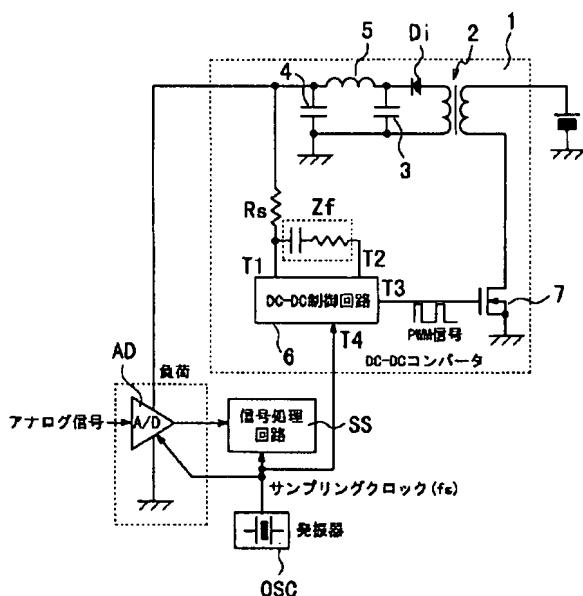
【符号の説明】

1 DC-DCコンバータ

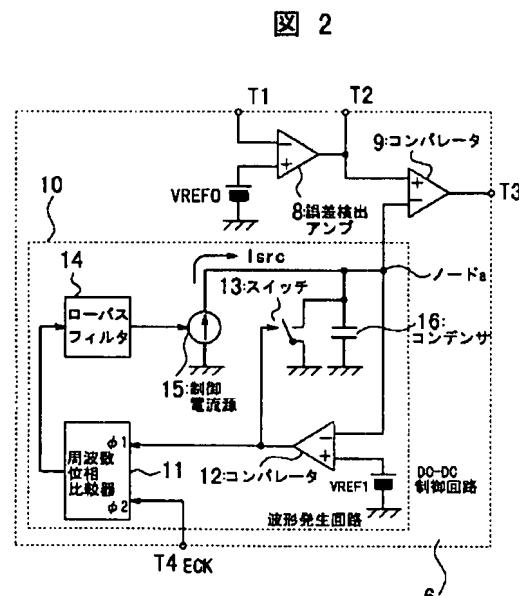
2 トランジスタ
 3, 4 コンデンサ
 5 リアクトル
 6～6 b DC-D C制御回路 (PWM制御回路)
 7 スイッチングトランジスタ
 8 誤差検出アンプ
 9 コンパレータ
 10～10 b 波形発生回路 (波形発生手段)
 11 周波数位相比較器 (位相比較部)
 10 12 コンパレータ (電圧比較部)
 13 スイッチ (波形制御部)
 14 ローパスフィルタ
 15 制御電流源 (第1の定電流源)
 16 コンデンサ (静電容量素子)
 17 分周器 (第1の分周器)
 18 分周器 (第2の分周器)
 19 制御電流源 (第2の定電流源)
 20 スイッチ (接続制御部)
 21 スイッチ (電圧切り換え部)
 20 ECK 外部クロック (基準クロック信号)
 AD A/D変換器
 SS 信号処理回路
 OSC 発振器
 Di 整流ダイオード
 Zf フィードバック用素子

【図1】

図 1

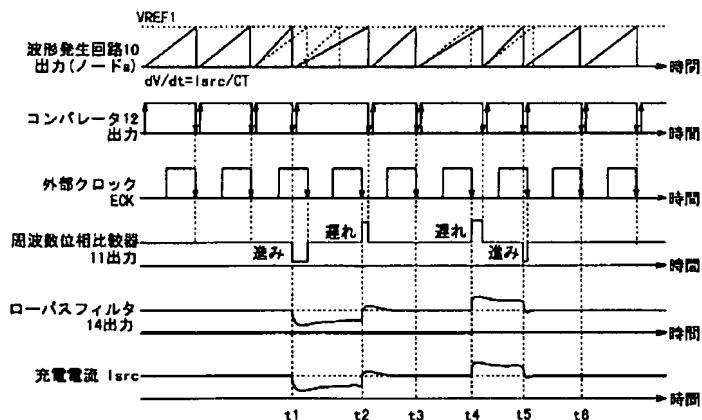


【図2】



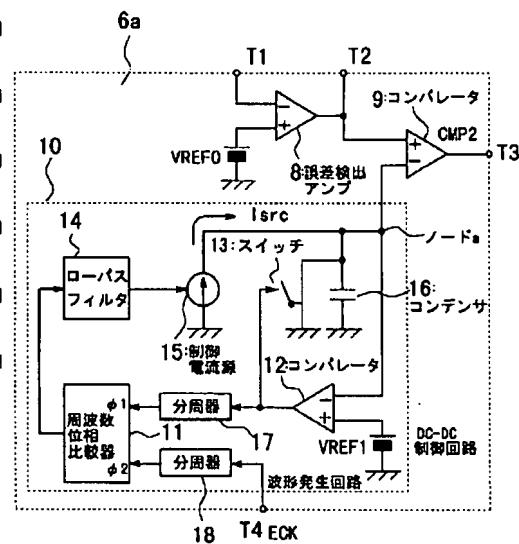
【図3】

図3



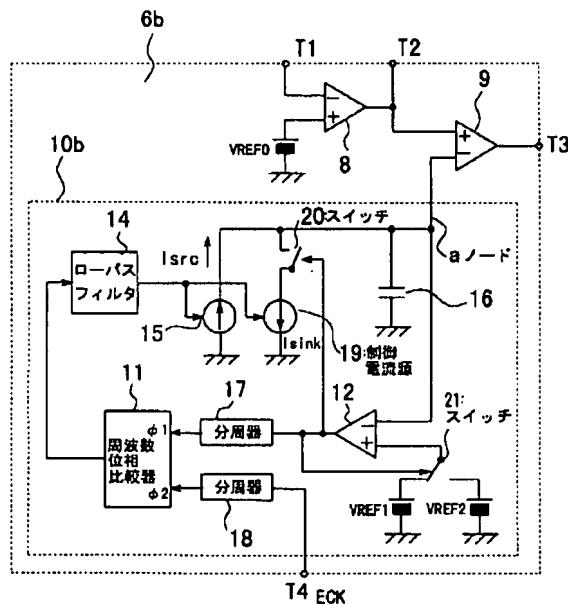
【図4】

図4



【図5】

図5



【図6】

図 6

